

大容量光通信用CMOS IC技術の開発

2008年7月更新

概要

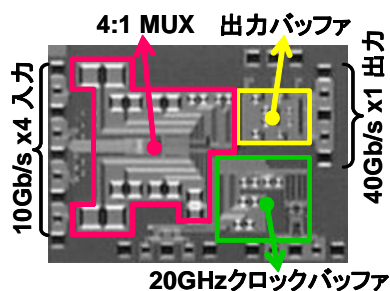
インターネットのブロードバンド化と通信量の増加に伴い、幹線系光通信システムのより一層の大容量化／超高速化への要求が増大しています。このような背景のもとに、40Gb/s WDM伝送システムの実用化が既に始まっています。従来40Gb/sの信号を光-電気変換するモジュール内で用いられるシリアライザ／デシリアライザICは、動作速度の優れた化合物系テクノロジーを用いて実現されてきました。しかしながら、ゲート長が100nm以下の微細CMOSテクノロジーが実用化されるに至り、これらのICをCMOS ICで置き換え、システムの電力、サイズ、コストを低減することが現実的になってきました。当社では、世界に先駆けて「40Gで動作するCMOS LSI」を実現するべく、90nm標準CMOSプロセスを用いて試作品の作成と評価を行ってきました。

技術のポイント

- シリアライザ IC設計技術**
 20Gb/sより速い回路動作を実現するため、随所にインダクタを駆使して回路の広帯域化を行っています。このインダクタ・ピーキング手法により、従来のCML型回路に比べて約3倍の動作速度向上を実現しています。
- デシリアライザ IC設計技術**
 入力ジッタ耐性に優れた3倍オーバーサンプリング・アーキテクチャを採用しています。入力部での波形劣化を抑えるため、LC遅延線構造を用いてサンプリング回路を分散させ、回路の入力容量の影響を低減しています。また、10GHz多相クロックを供給するために、同様の線路構造を用いた分散型VCO回路を用いています。
- 高周波素子モデリング技術**
 本回路設計では、高周波まで精度高く実デバイスの特性を再現した素子モデルが必須です。回路中で使用している素子を個別に試作／評価し、Sパラメータのフィッティングによる独自モデルを作成しています。

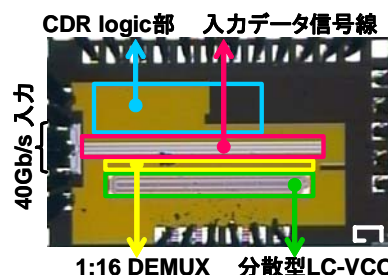
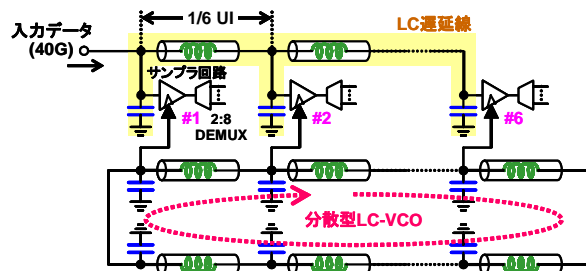
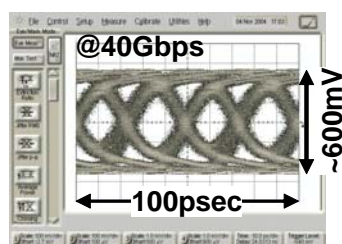
適用例

富士通90nm標準CMOSテクノロジーを用いてシリアライザの4:1 MUX部、デシリアライザの1:16 DEMUX、および、3倍オーバーサンプリングCDRを試作し、40Gb/sでの動作を確認しました(図1、2)。



ISSCC 2005にて発表 (paper #8.2)

図1 40Gb/s シリアライザ試作チップと測定波形



ISSCC 2007にて発表 (paper #12.2)

図2 40Gb/s デシリアライザ入力回路部と試作チップ