

45nm世代ロジックLSI向け低消費電力・高性能化技術 - 新たな熱処理技術と多層配線技術を導入 -

2008年6月作成

概要

低消費電力、高速トランジスタ技術と高性能配線技術を組み合わせた45nm世代ロジックLSI向けプラットフォーム技術を開発しました。従来の45nm世代技術と比べて、待機時に無駄に流れてしまう洩れ電流を5分の1に低減し、配線遅延時間を約14%短縮しました。この45nm世代プラットフォーム技術の実現によって、より高速、小型で低消費電力のLSIをお客様に提供できるようになります。

技術のポイント

・新熱処理技術

洩れ電流を低減するにはソースおよびドレイン部を浅く形成することが有効です(図1)。しかし、単純に浅くすると、ソースおよびドレイン部の抵抗が増大し、トランジスタ性能は劣化します。そこで今回、新たな熱処理技術(ミリ秒熱処理、Millisecond Annealing:MSA)を開発しました。本技術は、従来の熱処理方法と比べて高温のため抵抗の低減が可能で、かつ、短時間の熱処理であるため浅いソースおよびドレイン部を形成可能で洩れ電流を低減できます。

・高性能多層配線技術

これまでに報告されている層間絶縁膜の中で誘電率(k)が最も低い材料(k=2.25)のNano Clustering Silica(NCS)を、最小の配線間隔が適用される下層配線領域に導入しました(図2)。NCSは、膜中に微小な空孔を持った絶縁物で、低誘電率と高い機械的強度を両立した材料です。富士通マイクロエレクトロニクスは65nm世代から部分的にNCSを導入しましたが、45nm世代ではNCSを同一配線層間だけでなく異種配線層間にも適用し、さらなる配線容量の低減を実現しました。

適用例

新熱処理技術により、トランジスタの抵抗の増大を抑制しつつ、洩れ電流を従来の5分の1に低減しました。これにより、たとえば携帯電話の待ち受け時間を最大で5倍に延ばすことが可能になります。また、高性能多層配線技術により、配線遅延を国際半導体ロードマップの標準的な45nm世代の配線技術と比較して約14%短縮しました。富士通マイクロエレクトロニクスはユビキタス社会での携帯機器への適用に最適なLSIを提供していきます。

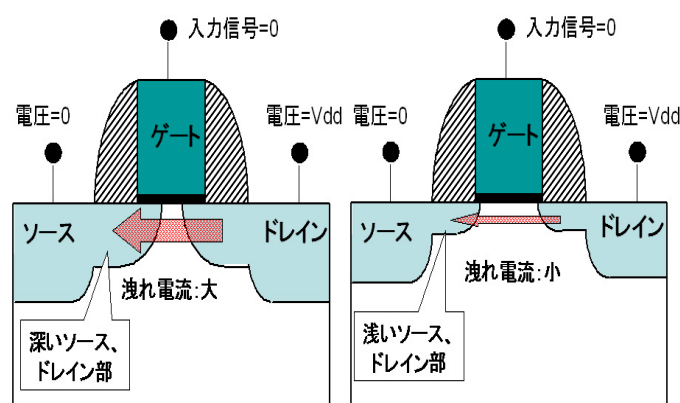


図1 ソース、ドレイン部の深さと洩れ電流

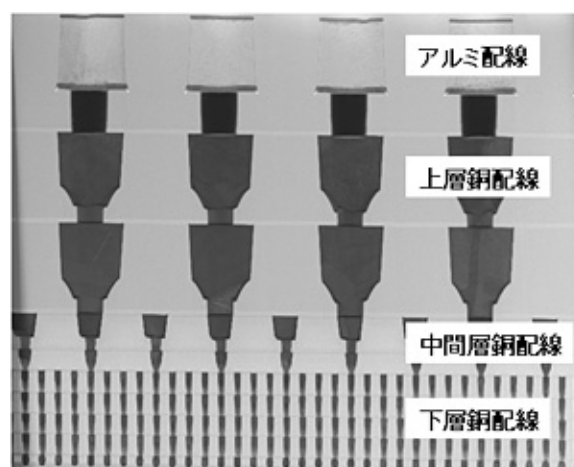


図2 開発した下層フルNCS構造の45nm多層配線