

# 最先端CMOSの評価技術

2008年3月更新

## 概要

45nm世代トランジスタの微細なゲート電極下にある不純物の分布を直接評価する技術を開発しました。これにより、ゲート電極の加工形状(ゲートLER)が不純物分布に及ぼす影響を直接観察することが可能となり、トランジスタ性能がばらつく原因を早期に解明できます。この技術は、45nm世代以降のトランジスタの製造プロセス技術開発期間の短縮に貢献します。

## 技術のポイント

今回開発したのは、ゲート電極加工形状と活性領域の不純物分布の関係を直接評価する技術です。活性領域に損傷を及ぼすことなくゲート電極を除去する技術と、高分解能の2次元不純物分布評価技術を組み合わせることで実現しました。開発した技術の特長は、以下のとおりです。

### ・ゲート電極除去技術

薬液TMAHを使い、ゲート電極を除去する技術を開発しました。TMAH処理条件を最適化することでゲート電極の下にある厚さ僅か1nm程度のゲート絶縁膜を溶かさずに、多結晶シリコンのゲート電極を除去する技術を実現しました。

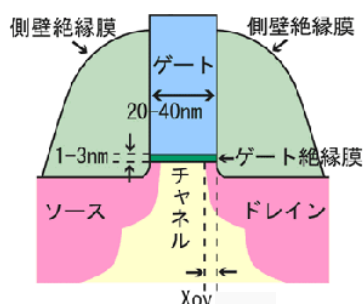
### ・高分解能の2次元不純物分布評価技術

走査型トンネル顕微鏡STMを用い、ゲート電極を除去した後に、ゲート電極加工形状の評価と活性領域表面の不純物分布の評価を同時に行うことを可能としました。これにより、ゲート電極加工形状と活性領域の不純物分布の関係を明らかにしました。

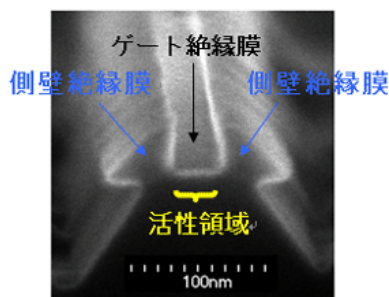
## 適用例

今回開発した技術により、ゲート電極加工形状と活性領域の不純物分布ばらつきとの関係を直接評価することが可能となり、その関係が、ソース・ドレイン電極を形成する不純物注入の条件によって変化することを世界で初めて明らかにしました。閾値電圧のばらつきについて、この技術による予測値と完成品のトランジスタの実測値を比較し、精度に差がなく実用的であることを確認しています。

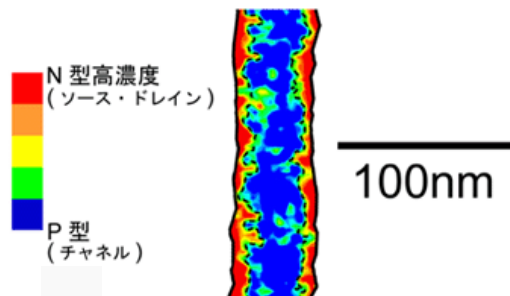
この技術を用いることで、トランジスタ製造工程の途中でトランジスタの性能がばらつく原因を解明することができるため、トランジスタ製造方法の最適化を円滑に行え、製造プロセス技術の開発期間の短縮とコスト削減に貢献できます。



トランジスタの模式図



線幅40ナノメートルのゲート電極除去後の走査電子顕微鏡像



線幅40ナノメートルのゲート電極下の活性領域における不純物分布

(実線:ゲート電極の端、点線:ソース・ドレイン電極とチャンネル領域の境界)