

CAD (Computer-Aided Design)

2008年3月更新

概要

コンピュータを利用してさまざまなLSIや組込み機器を効率よく設計する技術がCADです。今日、LSIには数億個もの回路素子が搭載されるようになってきました。複雑な機能を実現させるだけでなく、高速化、低電力化、高信頼化が求められています。このような大規模で高度なLSIの動作を人がすべて把握し、設計するのは不可能となっており、設計の正しさを自動的に検証しながら設計を支援する技術が必要不可欠です。このようなニーズに応えるため、富士通研究所では、大規模なLSIの設計を支援、自動化するLSI CAD技術の研究を進めています。

技術のポイント

・設計誤りを初期段階で発見する上位設計・検証技術

LSI設計の起点となる仕様の品質を高めるために、仕様書に何をどのように書くか、どのように後工程で使うかの研究を進めています。LSIの仕様を書くべき内容をガイドラインとしてまとめ、標準言語UMLを使って記述する方式を開発しました。さらに、仕様自体の漏れ・抜け・矛盾をチェックする技術、実装をチェックするための検証項目を仕様書から生成する技術を確立しました。大規模LSIに適用して、設計初期2ヶ月以内に仕様の誤りを多数発見しました。これは全障害数の6割に相当します。この結果、開発期間を25%短縮できました。

・LSIの電力消費を抑える設計技術

世の中で開発された技術の多くが回路レベルでの電力削減を中心に扱ってきたのに対し、当社ではアルゴリズムやソフトウェアのレベルで消費電力を下げる技術の研究を行っています。例えば、ソフトウェアがメモリにアクセスする際の特徴を生かして、電力を抑えるメモリ構成を見いだす技術を開発しました。マルチメディア系のアプリケーションで、キャッシュメモリの電力使用量を40%削減できるとの結果が得られています。

・最先端テクノロジーでの歩留まり向上・開発期間短縮のための技術

LSIの微細化が進むとともに、LSI上のトランジスタ寸法が光の波長よりも小さくなりました。これに伴い、トランジスタの特性のばらつきや、LSIに付着する小さなゴミが、LSIの性能や歩留りに大きな影響を与えるようになってきました。当社では、LSI製造時の特性ばらつきを統計的に扱って回路全体の特性を正確に把握する技術を開発しました。また、ゴミによる故障への影響を考慮してLSIの配線間隔を広げる技術(下図)を確立し、歩留まりが3%以上向上するという結果が出ています。

適用例

ここでご紹介した技術は、富士通のLSI設計者向けの設計支援ツールとして実用化されています。既に多くのLSIがこれらのツールを使って設計されています。

