

ギガビットイーサネットMACコア
ユーザ・ガイド
Gigabit Ethernet MAC Core

Web 版 平成 18 年 4 月 6 日

富士通関西中部ネットテック株式会社

1. 本書の記載内容は、予告なしに変更することがあります。
2. 本書に記載されたデータは、半導体デバイスへの応用例として使用されており、実際に使用する機器への搭載を目的としたものではありません。また、これらのデータの使用に起因する第三者の特許権その他の権利侵害に対し、当社はその責を負いません。
3. 本書の記載内容を、当社に無断で転載・複製しないで下さい。
4. 本製品は、一般事務用、パーソナル用、家庭用、通常の産業用等の一般的用途を想定して設計されているものであり、原子力施設における核反応制御、航空機自動飛行制御、航空交通管制、大量輸送システムにおける運行制御、生命維持のための医療用機器、兵器システムにおけるミサイル発射制御など、極めて高度な安全性が要求され、仮に当該安全性が確保されない場合、直接生命・身体に対する重大な危険性を伴う用途に使用されるよう設計されたものではございません。

1. 概要

1.1. 仕様

表 1-1にギガビットイーサネットMACコアの仕様を示します。

表 1-1 ギガビットイーサネットMACコア仕様

項目	内容	備考
規格	IEEE802.3-2000Edition	MAC Service Specification
PHY インタフェース	GMII、MII	
データ転送モード	10/100/1000Mbps、全二重/半二重	
送信バッファ容量	1024Byte 別途、制御・エラー信号用に 256Byte	最大 65535Byte まで変更可能
送信クロック変換用 FIFO	1024Byte 別途、制御・エラー信号用に 128Byte	固定サイズ
受信バッファ容量	128Byte 別途、制御・エラー信号用に 64Byte	最大 65535Byte まで変更可能
受信クロック変換用 FIFO	128Byte 別途、制御・エラー信号用に 64Byte	固定サイズ
システム・インタフェース	データバス : 32bit 動作クロック : 33MHz~125MHz (8bit、16bit、64bit データバスに変更可能)	Atlantic Interface 準拠
CPU インタフェース	データバス : 32bit 動作クロック : 25MHz~100MHz	Avalon Bus 準拠

表 1-2に本コアを Stratix デバイスに適用した時の使用率を示します。

表 1-2Stratix デバイス使用率 (EP1S25F1020C7)

項目	内容
Logic cells	4,596 / 25,660 (17 %)
Registers	3,197 / 29,816 (10 %)
M512s	5 / 224 (2 %)
M4Ks	6 / 138 (4 %)
M-RAMs	0 / 2 (0 %)
Total memory bits	22,144 / 1,944,576 (1 %)
Total RAM block bits	30,528 / 1,944,576 (1 %)

EP1S25F1020C7 を使用

QUARTUS II 3.0 でコンパイルを実施

RAM タイプの設定は AUTO

Compiler Option : Auto Packed Registers - Stratix = Minimize Area with Chains
Optimization Technique - Stratix = Area
Optimization Technique - Cyclone = Area

1.2. 機能概要

本コアは、大きく3つのブロック（MAC 機能部、システム・インタフェース部、CPU インタフェース部）に分かれます。

① MAC 機能部

GMII/MII インタフェースと Management インタフェースを持ち、PHY チップと接続します。
MAC 機能部は、IEEE802.3-2002Editionに準拠した機能を実現しています。

- ・ フレーム長チェック機能（64octet(min)~16384octet(max)まで可変、Jumbo Frame に対応）
- ・ FCS のジェネレート/チェック機能
- ・ Auto Padding 機能
- ・ Programmable Interframe Gap 機能
- ・ Flow Control 機能（Pause Frame の受信による送信制御・Pause Frame の送信）
- ・ フィルタリング機能
（自ステーションアドレス/Multicast/Broadcast/Pause Frame を判別）
- ・ コリジェン発生時の自動再送機能（半二重動作時）
- ・ キャリア拡張機能（1000Mbps・半二重動作時）
- ・ フレームバースト機能（1000Mbps・半二重動作時）
- ・ 統計情報収集機能

② システム・インタフェース部

ALTERA Atlantic Interface に準拠したインタフェースを持ち、ユーザのシステムと接続します。

- ・ Cut-Slew 動作
- ・ GMII/MII とユーザシステムとのクロック載せ換え機能
- ・ エラーフレーム受信通知機能
- ・ Atlantic Interface の Slave 動作

③ CPU インタフェース部

ALTERA Avalon Bus に準拠した CPU インタフェースを持ち、ユーザの CPU と接続します。

- ・ MAC 機能部・FIFO 部への設定機能・ステータスの読取機能
- ・ CPU への割り込み制御機能
- ・ PHY チップへの Management 機能
- ・ PHY チップからの Interrupt 収容機能
- ・ Avalon Bus の Slave 動作

1.3. 機能ブロック構成図

図 1-1に本コアの機能ブロック図を示します。

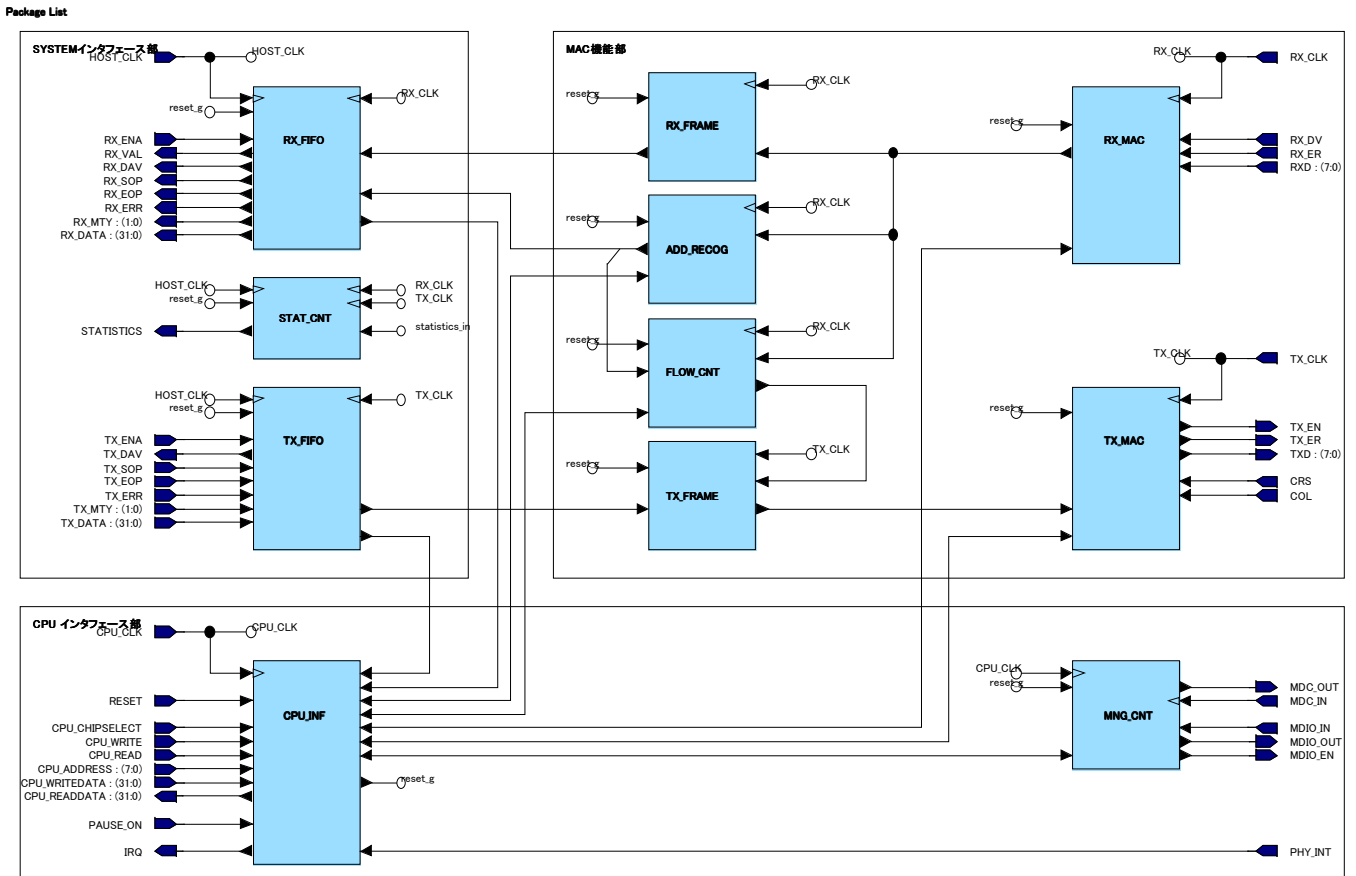


図 1-1 機能ブロック構成図

FUJITSU