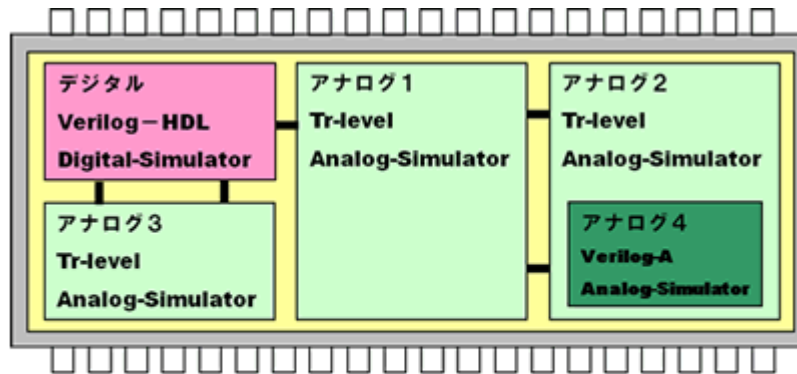


■ アナデジ混載における設計検証効率化手法について

近年、LSIの回路規模は、モバイル向けやデジタル家電向けを中心に年々大規模化してきており、それに伴いシミュレーションによる検証項目数や検証時間も増大している。その対策として、今回当部門で開発を行っているシステム電源LSIに対して各種記述言語に対応したアナログ・デジタル混載シミュレーション環境を適用した。これにより短時間でのブロックレベルからチップレベルまでのアナログ・デジタル混載のシミュレーションを可能にし、検証効率を大幅に改善した例を紹介する。

アナデジ混載シミュレーション環境とは図1に示すようにデジタルシミュレータとアナログシミュレータとのコ・シミュレーションを可能にし、デジタル記述言語・アナログ記述言語・Trレベルを混載で各種検証可能な環境のことである。

従来アナログ・デジタル混載の場合、チップレベルの検証はデジタル部もTrレベルに落としてアナログシミュレータを使用して検証を行っていた。この場合シミュレーション時間が増大し、近年の回路規模の増大と合わせ、現実的な時間でチップレベルの検証を終えることが不可能になってきている。そこでデジタル部の記述はもちろんアナログ部の記述化を行い、各種記述言語が使用可能なアナデジ混載シミュレータを適用した。アナログ部の記述化にあたっては、以下の2点の実施を行っている。



チップ全体各種記述モデルで実行

図1. アナデジ混載環境を導入したチップ検証方法

1. 記述レベルをマクロ間結線の妥当性の確認、マクロをまたいだファンクションの確認用に特化。
2. マクロ内の内部記述化を行った汎用モジュールの作成。
これらを実施することによりアナログ設計者の記述モデルの作成の負荷を軽減した。これらのことを実施することにより従来の1/20へ検証期間の短縮をし、大幅な効率化を実現した。(図2参照)

事例 1

- ・回路規模

アナログ部：素子数 **20,000素子**

デジタル部：ゲート数 **10,000ゲート (1ゲート=4Tr)**

- ・シミュレーション時間改善率（対アナログシミュレーター）

20倍 のSpeed Up

図 2. 事例 1

早川 敦史(はやかわ あつし) アナログ商品開発統括部 第4設計部
1989年富士通 VLSI 入社。入社以来アナログ IC の設計に従事。

Scan FVD Technical Journal No.19