



小型PLLモジュール

Compact PLL Modules

友池 稔*¹
Tomoike Minoru

丸山 一郎*¹
Maruyama Ichiro

長谷川 正樹*¹
Hasegawa Masaki

橋本 健太郎*¹
Hashimoto Kentarou

金山 啓介*²
Kanayama Keisuke

あらまし

小型、軽量、低価格な通信装置用PLLモジュールFAP-3000シリーズおよびFAP-3100シリーズを開発した。

本製品は、装置の小型化要求に応えるべく、従来製品の1/3～1/5の小型化を実現した。

また、装置の製造合理化のため、リフローはんだ付け対応の表面実装タイプとするとともに、環境に配慮した鉛フリーはんだを採用した。

本稿では、小型、軽量PLLモジュールの開発について、その実現方法を中心に説明する。

Abstract

We developed the FAP-3000 and -3100 Series, each being compact, lightweight, and low-priced PLL modules for communication equipments. These products feature a reduced size, one-third to one-fifth compared with our conventional modules, to meet the need for compact products. They are surface mounted models that allow reflow soldering to streamline the manufacturing process of equipments, employing environment-friendly lead-free soldering.

This paper addresses the method we used to develop these compact and lightweight PLL modules.

* 1 アクセスネットワーク事業部 第一統括部 第三技術部

* 2 NTT 営業本部 NTT 営業部

1. ま え が き

デジタル通信装置にはさまざまなPLL (Phase Locked Loop) が用いられている。PLLは、発振周波数および位相が常に入力信号の周波数、位相に追従するようにフィードバック制御するものであり、クロックの同期を行う基本技術である。

当社では、従来よりPLLをモジュール化して装置に組み込む手法で特性の安定化を行い、高い信頼性を実現してきた。

近年のブロードバンドの普及によって、通信装置に対する小型化、低価格化の要求は厳しく、その構成部品であるPLLモジュールにも同様の要求が高まっている。このような状況に 대응するために、今回、表面実装形PLLモジュールの開発を行った。

2. 製品の概要

今回開発したPLLモジュール「FAP-3000シリーズ」および「FAP-3100シリーズ」は、リフローはんだ付け可能な表面実装タイプで、小型化を実現したものである。

図1に本製品の外観を、表1に従来製品の比較を示す。

表1 開発品と従来品の比較

項目	開発品	従来品
外形(mm)	16.5×25.8×6 (FAP-3000シリーズ)	45×45×8.9 (Type 1)
	21.6×25.8×6 (FAP-3100シリーズ)	27×44×8.9 (Type 2)
重量	約2.0g (FAP-3000シリーズ)	約20g (Type1)
	約3.0g (FAP-3100シリーズ)	約7g (Type2)
パッケージ	SMD	DIP
実装方法	自動搭載	手挿入
はんだ付け	リフロー	こて付け

表2 概略仕様

型名		FAP-3000シリーズ	FAP-3100シリーズ	
電源電圧		3.3V ±5%	3.3V ±5%	
消費電流		30mA (Max)	200mA (Max)	
入力周波数		8kHz	19.44MHz または 25.92MHz	
出力周波数		~ 51.84MHz	155.52MHz~	
入力周波数偏差		±50ppm	±50ppm	
出力	VOH	Vcc -0.4V (Min)	+2.15V (Min)	LV-PECL +Cカット
	VOL	+0.4V (Max)	+1.85V (Max)	
	デューティ比	50±5%	50±5%	
出力ジッタ (Peak/Peak)		0.01UI (@51.84MHz)	0.02UI (@155.52MHz)	
動作温度範囲		0°C ~ 70°C	-5°C ~ 85°C	

注1) PLLが同期して安定しているときの、入力信号のエッジと出力信号のエッジの位相差を表す。一般的に温度・電源変動などに伴い位相誤差も変動するが、本PLLモジュールでは回路方式の工夫によって位相誤差の変動量が小さくなるように設計されている。

注2) PLLのジッタ伝達特性や引き込み特性を制御するために設けられるフィルタ回路。

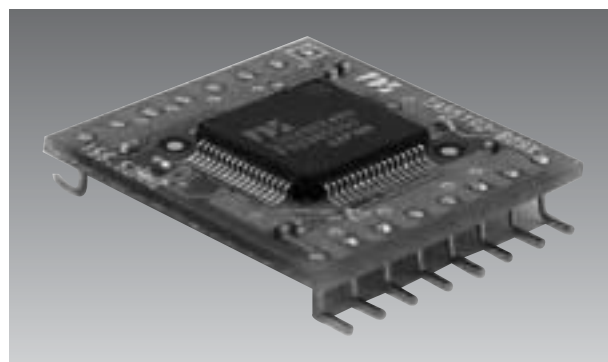


図1 小型PLLモジュールの外観

外形は、面積比で従来製品の1/3~1/5に小型化し、同時に組立と試験の自動化によって製造の効率化を実現した。

表2に仕様の概略を示す。

「FAP-3000シリーズ」は52MHzまでの出力周波数に対応し、複数の出力周波数 (マルチ出力) と入力切替時の位相とび耐力に優れていることが特長である。

「FAP-3100シリーズ」は設定によって19.44MHzと25.92MHzの入力周波数に対応でき、155.52MHz以上の周波数を差動信号で出力する。

また、LV-PECL + 交流結合 (コンデンサ内蔵) を出力インタフェースに採用することで、終端回路の選択により多様なインタフェースに対応することができる。

図2に各出力インタフェースの終端回路例を示す。

両製品とも、低ジッタで定常位相誤差^{注1)}の小さい特性を実現しており、通信装置の厳しい要求を満足するとともに、ループフィルタ^{注2)}、同期警報機能を内蔵する外付け部品が不要のオールインワンタイプとした。

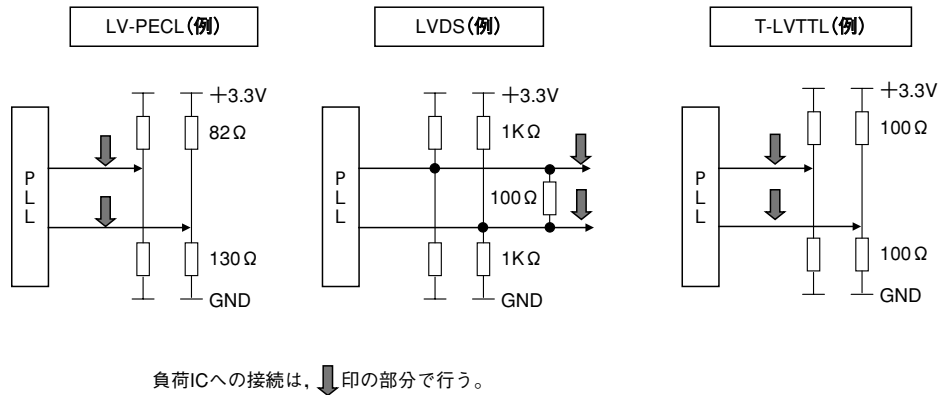


図2 各出力インタフェースの終端回路例

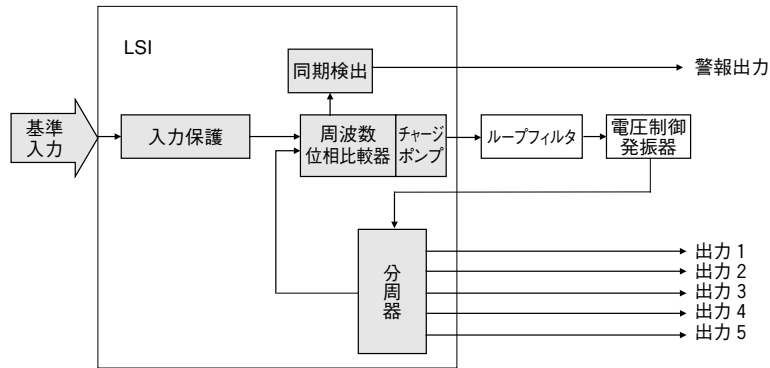


図3 FAP-3000シリーズの回路構成

3. 開発の課題

本製品の開発にあたっては、装置のローコスト化と高密度実装化の要求に対応するため、以下を課題として開発に取り組んだ。

- 1) 装置組立費用低減のため、自動搭載およびリフローはんだ付け可能な表面実装形構造を検討・実現する。
- 2) 面積比で従来品の1/3以下の小型化を実現する。

4. 開発の内容

4.1 回路構成

図3に「FAP-3000シリーズ」の回路構成を示す。本製品は、位相比較器^{注3)}、分周器、同期警報回路を内蔵した専用LSIと、ループフィルタおよび電圧制御水晶発振器で構成される。PLL機能の大部分を専用LSIに内蔵し、ループフィルタにはパッシ

注3) 二つの入力信号の位相差に比例する電圧（または電流）を出力する回路。

ブフィルタを採用することで部品点数を大幅に削減し、小型化を実現した。

4.1.1 LSI

本製品では、PLLを構成する大部分の機能を1チップ化した専用のCMOS-LSIで実現した。

LSIには、位相比較器およびチャージポンプ^{注4)}、分周器、同期警報機能を内蔵している。また、入力クロック信号のビット抜け検出および雑音を除去する入力保護機能を備えていることが特長である。

高い信頼性を要求される通信装置では、一般的にクロックの冗長構成をとることが多く、入力クロック信号の切替えが発生する。このとき、PLLへの入力信号が瞬断したり、ヒゲ状の雑音が発生する場合があります。出力クロックの位相飛びが発生する。

この状態を回避する手段として、LSIにビット抜け検出機能と雑音除去機能を内蔵した。

ビット抜け検出機能は、入力信号のビット抜けを

注4) 位相差比較器とペアで用いられ、入力位相差に比例したパルス幅の電流を出力する回路。

表3 評価試験内容

試験項目	試験条件	試験結果(故障数/試料数)
高温動作	100℃, 1000時間, 定格電圧印加	0/20
高温高湿動作Ⅰ	85℃, 85%, 1000時間, 定格電圧印加	0/20
高温高湿動作Ⅱ	120℃, 85%, 192時間, 定格電圧印加	0/20
温度サイクル	-55℃⇔常温⇔85℃, 400cyc	0/20
はんだ耐熱性	[前処理(加湿)] 125℃, 24時間+85℃, 85%, 168時間 [リフロー] 235-0/+5℃, 10±3秒	0/60
はんだ付け性	はんだ浸せき(リード部) 215±5℃, 10±0.5秒	0/20
端子強度	5N, 10±1秒(引っ張り)	0/5(各4本)
振動	10~55Hz, 振幅1.5mm, 掃引1分 3方向(X, Y, Z), 各2時間	0/20
衝撃	100G, パルス幅6ms, 3方向(X, Y, Z), 各3回	0/20

検出して、位相比較器の動作を安定に制御するものである。また、雑音除去機能は、入力信号のヒゲ状の雑音を検出して、これを除去する機能である。

本製品ではこれらの機能によって、入力切替時に発生する出力クロックの位相飛びを防止している。

4.1.2 ループフィルタ

ループフィルタは、ラグリード型のパッシブフィルタを採用した。ラグリードフィルタは抵抗とコンデンサだけで構成できるため、安価で安定した特性が得られる。

設計においては、あらかじめシミュレーションで最適な定数の絞込みを行い、設計の効率化を図った。

4.2 構造

自動搭載可能な表面実装構造をローコストで実現する方法として、端子には、L字形のプレスフィットピンを採用した。

本構造の利点は、端子の挿入が自動で行えることと、端子のはんだ付けをほかの部品と同時に一括リフローできることである。

これによって、組立の大幅な効率化を図ることができた。

また、本製品を装置マザーボードへ自動搭載可能にするためには、モジュール中央部に平坦な吸着エリアを設ける必要がある。これには、ケースを取り付ける手法が一般的である。

本製品では、上面中央部にLSIを配置することで吸着エリアを確保し、ケースを必要としない構造として、部材の削減による小型・軽量化を実現した。

4.3 試験工程における課題

本製品は表面実装形状を採用したため、端子平坦

度の確保が必要である。製品試験においては、端子平坦度に影響を及ぼすような負荷が端子に加わらず、かつ、着脱が容易で接続安定な手法を開発することが課題であった。

そこで、従来製品(挿入形)で使用している汎用ソケットを加工して、L字形端子を横方向から挟み込む手法を用いたことで、端子平坦度に影響を与えることなく量産試験を実現した。

4.4 鉛フリーはんだ材料の採用

本製品は、部品接合材料にSn-Ag-Cu系はんだを採用し、鉛フリー化を実現した。

信頼性の検証として、表3に示す各種環境試験を実施した。

高温動作、高温高湿動作、温度サイクルの各試験に使用したサンプルは、実装時の熱ストレスを考慮して、加湿処理後にリフローはんだ付け相当の加熱処理を施した。これは、半導体部品で実施されている試験条件と同一である。また、加湿処理条件は最も厳しい条件とした。

すべての試験について良好な結果が得られ、通信用途に十分耐え得る品質であることを確認することができた。

5. む す び

今回は、小型、軽量でリフローはんだ付け対応の表面実装形PLLモジュールを開発した。

今後は、FAP-3100シリーズを中心に、OC-192など、より高速な伝送速度に対応した製品として、出力周波数が600MHz以上のPLLモジュールを開発していく所存である。



[開発者] 前列左から、橋本、長谷川、
後列左から、金山、友池、丸山

