



小型・低消費電力化 150MIF 盤

Development of small-sized low-power consumption 150MIF board

岩野 賢治^{*1}
Iwano Kenji

佐藤 勝^{*1}
Sato Masaru

笹井 健雄^{*1}
Sasai Takeo

百武 哲也^{*2}
Hyakutake Tetsuya

あらまし

21世紀を目前にして、企業における情報の電子化にともない、WAN、LAN等は、もはやなくてはならない物になってきている。

そこで、より高速、かつ安価な通信サービスに対する需要が高まるとともに、行政、企業、市民等を含めた社会全体が環境問題に大きな関心を抱くようになってきた。

このような環境の中で、省スペース化、省エネルギー化（省電力化）は、通信装置の分野においても必要不可欠な要素であり、それを製品に反映させるために小型・低消費電力化をテーマとして150MIF盤の開発を行った。

Abstract

Facing the twenty-first century, WAN, LAN and so forth have become indispensable in accordance with digitizing information among private corporations.

Now while the demand for higher speed and yet low cost communication service is increasing. The whole society, including the administrative branches, private enterprises and private individuals, has become greatly interested in environmental issues.

Under these circumstances, saving space and saving energy (saving electric power) are essential elements in the field of communication equipment as well. In order to reflect this in our products, we have developed 150MIF board with the theme of small-sized low-power consumption.

* 1 (株)富士通電装アール・アンド・ディー 先行開発部

* 2 通信ネットワーク事業部 第1統括部 機器設計部

1. ま え が き

近年のインターネット・トラフィックの飛躍的拡大等に見られるように、インターネット社会は急速な進歩を遂げており、より高速で経済的な通信装置の開発が求められている。

一方、急速な需要拡大に対応するための急激な通信装置の増設によって、電力使用量は更なる増大が見込まれ、CO₂排出量増加の原因の一つとなっている。

このような環境の中で、省スペース化、省電力化を考慮した通信装置を提供する材料として、高集積LSIを用いた小型・低消費電力化150MIF盤の開発を行った。

また、本開発においてはバウンダリスキャン技術を採用することで、目視不可能なハンダ不良を製造段階で発見することによって生産効率の向上を可能とした。

2. 開 発 背 景

2.1 150MIF 盤概要

今回開発を行った150MIF盤を搭載する伝送装置は、各種サービスを混在収容し、64k回線単位でのクロスコネクトを実現している。

このため150MIF盤では、1.5M(C-11)^{注1)}、6.3M(C-2)^{注2)}に収容されている各種サービスを64k回線単

位で終端し、最大64k×2016回線の終端容量を有している。

図1に150MIF盤のブロック図、表1に150MIF盤の主要諸元を示す。

2.2 既存 150MIF 盤

注3) 既存150MIF盤では、SDH(Synchronous Digital Hierarcky)処理部はある程度汎用性のある、既存

表1 150MIF盤主要諸元

項 目	主 要 諸 元		
伝送速度	155.52Mビット/秒(STM-1)		
波長および伝送距離	局内	400m以下	
	局間	1.31 μm	40km以下
		1.55 μm	80km以下
収容サービス	・64k/128kビット/秒 回線サービス(C-11に収容) ・1.5Mビット/秒 回線サービス(C-11に収容) ・64kビット/秒×N回線サービス(C-11またはC-2に収容)をC-11、C-2単位で最大2016CH混在収容可能		
試験機能	SDH	AU-3、TU2/11のDROP/INSERT(伝送路方向のみ)	
	各種サービス	・64kビット/秒のDROP/INSERT/MONITOR/LOOP(外部試験機に接続) ・64k/128kビット/秒のMONITOR/INSERT ・1.5Mビット/秒のDROP/INSERT(伝送路方向のみ) ・64kビット/秒×NのMONITOR/INSERT	
パフォーマンスモニタ	・SDHレイヤの回線品質監視を15分単位、1日単位で集計する ・ITU-T G.784 G.826 G.EPRMSに準拠		

TUG-2(Tributary Unit Group-2):TU-11を4個またはTU-2を1個収容したもの。
 VC-3(Virtual Container-3):TUG-2を7個バイト多重し、VC-3バス管理情報(POH)を付加したもの。
 AU-3(Administrative Unit-3):VC-3にポイントと固定スタンプを付加したもの。

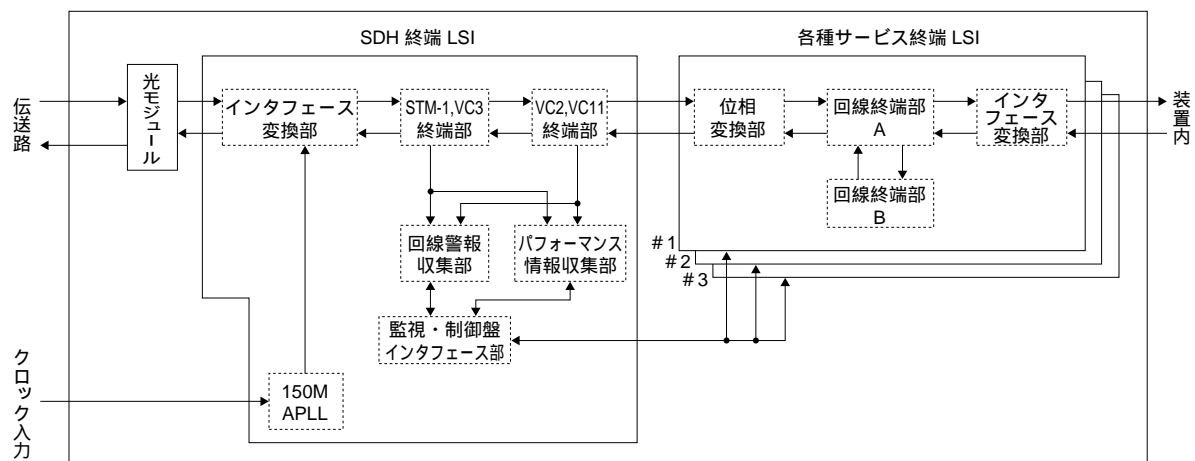


図1 150MIF盤のブロック図

注1) Container-11: 1.544Mビット/秒または24CHの信号を収容するコンテナ。

注2) Container-2: 6.312Mビット/秒の信号を収容するコンテナ。

注3) ITU-Tにおいて標準化された同期デジタルハイアラキで各種高速信号や既存速度の信号を柔軟に同期多重できる構造を持つ。

LSI, PLO (Phase Locked Oscillator) で構成していた。

また, 新規機能については, 機能別に細分化された LSI と, 補助的に FPGA (Field Programmable Gate Array) を採用していた。

これによって, ハードウェア規模はプリント板 2 枚組の構成になっており, 150MIF 盤 1 パッケージで 2 スロットを必要としていた。

2.3 開発の課題

今回の開発における最大の目標は, 現在 2 パッケージ構成である 150MIF 盤を, 1 パッケージ構成にすること, および既存品に対して消費電力を 1 / 2 にすることであり, その実現手段として以下の項目を課題とした。

1) 小型・低消費電力化

- ① 高集積 LSI の採用
- ② LSI への APLL (Analog Phase Lock Loop) 機能の内蔵
- ③ BGA (Ball Grid Array) パッケージ採用

2) バウンダリスキャン技術の採用

3. 開発の内容

3.1 小型・低消費電力化

小型・低消費電力化を行なうにあたって, 高集積度 LSI による複数 LSI の集約, APLL 機能の LSI への内蔵, BGA パッケージの採用の三つのポイントよりアプローチを行なった。

3.1.1 既存 LSI の集約

今回の開発の最大のポイントは, 機能別に細分化された LSI, FPGA を集約することによる, 実装面積および消費電力の削減にある。

そのため, 最新テクノロジーによりメガゲート規模を実現した高集積度 LSI を採用した。

また, LSI の電源は, 消費電力をより低減させるため, コア部分の電源を 2.5V の低電圧タイプにした。また, 既存の外部インタフェースとの整合を取るため, 入出力インタフェース部分の電源を 3.3V とした。

既存 LSI, FPGA 集約にあたっては, ゲート規模, 他パッケージとの共用化の面から検討を行なった。

既存 LSI, FPGA の総ゲート数は最新テクノロジーの LSI を持ってしても, 一つに集約するのは困

難であったため, 共用化を考慮した効率的な機能分割が重要なポイントとなった。

そこで, 共用化のポイントを以下の 2 点として検討した。

- ① STM-0 終端パッケージである 50MIF 盤との共用化。
- ② 同様の SDH 終端機能を持ち VC-11, VC-2 以下の終端方法が異なる他パッケージとの共用化。

その結果, STM-1, STM-0 の両方に対応した SDH 終端 LSI, 50M 容量の各種サービス終端 LSI の 2 品種を開発することにした。

以下に, 今回開発した 2 品種の LSI の詳細を示す。

1) SDH 終端 LSI (150M / 50M 共用)

本 LSI は, モードの設定によって, STM-1, STM-0 の終端を可能とした。

装置内側の切り口は, TU-11 / 2 としており, VC-11 / 2 非終端機能パッケージや C-11 / 2 に他のサービスを収容したパッケージと共用することができる。

また, 従来の 155.52MHz の PLO モジュールを APLL として LSI に内蔵することによって, 実装面積および消費電力を更に低減させることができた。

以下に本 LSI に集約した主要機能を示す。

- ① インタフェース変換処理機能
- ② STM-1 / 0, AU(VC)3 終端処理機能
- ③ TU(VC)11 / 2 終端処理機能
- ④ SDH 系の回線品質を監視する, パフォーマンスモニタ処理機能
- ⑤ 回線警報の収集処理機能
- ⑥ 監視・制御盤とのインタフェース機能
- ⑦ 155.52MHz の PLO 機能 (APLL として内蔵)

注 4) Synchronous Transport Module Level-0 : 1 個の AU-3 を収容しセクション管理情報 (SOH) を付加したもの (51.84M ビット / 秒)。

注 5) Virtual Container-11 : C-11 に VC-11 パス管理情報 (POH) を付加したもの。

注 6) Virtual Container-2 : C-2 に VC-2 パス管理情報 (POH) を付加したもの。

注 7) Synchronous Transport Module Level-1 : 3 個の AU-3 を収容しセクション管理情報 (SOH) を付加したもの (155.52M ビット / 秒)。

注 8) Tributary Unit-11 : VC-11 にポインタを付加したもの。

注 9) Tributary Unit-11 : VC-2 にポインタを付加したもの。

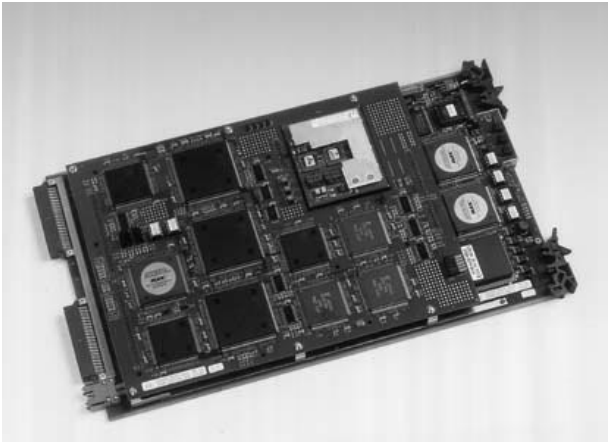


図2 既存150MIF盤外観

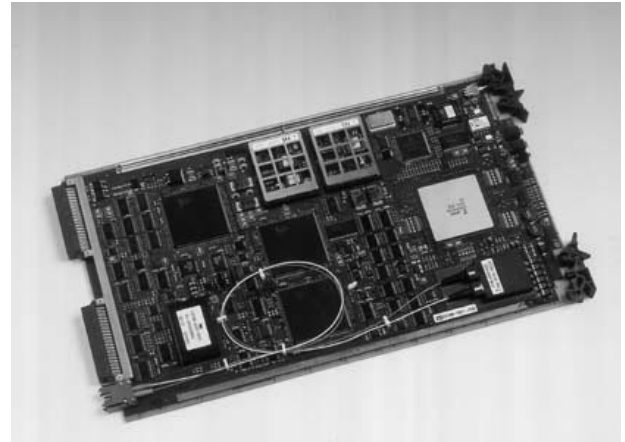


図3 新規開発150MIF盤外観

2) 各種サービス終端LSI (50M容量処理)

本LSIは、50M容量の各種サービスの終端機能を持たせることによって、50MIF盤の場合は1個搭載、150MIF盤の場合は3個搭載する形にして効率化を図った。

以下に、本LSIに集約した主要機能を示す。

- ① 各種サービスの終端処理機能
- ② 装置内への位相乗換処理機能
- ③ 装置内インタフェースへの変換処理機能

これにより、今回の150MIF盤は、SDH終端用LSIと各種サービス終端用LSI×3の計4個で実現可能とした。

3.1.2 SDH終端LSIへのAPLLの内蔵

LSI、FPGA以外の部品で、実装面積・消費電力の増大の原因となるものに、PLOモジュールが上げられる。

そこで、既存150MIF盤に搭載された155.52MHz PLOモジュールの代わりに、155.52MHzのAPLLマクロをSDH終端LSIに内蔵することによって、実装面積、消費電力を低減することができた。

また、155.52Mビット/秒の光出力ジッタの規格はITU-T勧告^{注10)}で0.1UIと定められており、この光出力ジッタはAPLLに依存するところが大きい。

そのため、LSIにAPLLを取り込むにあたり、APLL部を別電源としてこの部分のノイズを極力

低減させることによって、満足のいく特性を得ることができた。

3.1.3 BGAパッケージの採用

複数LSI、FPGAの集約に伴い、必要端子数が増大した。これによって、現在、市場に提供されているPGA (Pin Grid Array Package)、QFP (Quad Flat I-leaded Package) ではピンネックとなるため、今回開発するLSIにはBGAパッケージを採用した。

BGAパッケージは、多数端子を小さいパッケージで実現できるという長所はあるが、パッケージの構成上、外側から端子を目視することができないため、端子間短絡故障およびハンダ未着による端子開放故障といった不良を発見することが困難である。

そこで、本問題を解決する手段として、バウンダリスキャン技術を採用した。

これによって、今回開発した150MIF盤では、1パッケージ化を実現し、消費電力を従来品の約2分の1に削減(既存150MIF盤との当社比)することができた。

図2に、既存150MIF盤の外観を示す。

図3に、新規開発の150MIF盤の外観を示す。

3.2 バウンダリスキャン技術

製品試験において検出される不良パッケージの多くは、製造段階でのLSI短絡故障、ハンダ未着による端子開放故障(浮き)に起因する。

近年のLSIは、端子間が狭く、かつ多端子となっているため、機構試験において目視チェックでの発見が困難となっているのが現状である。

注 10) International Telecommunication Union-Telecommunication Standard ization Sector : 国際電気通信連合の電気通信標準化部門。

また、今回の開発では、LSIのパッケージにBGAパッケージを採用しているため、端子間短絡故障、端子開放故障の目視チェックが不可能である。

そこで、製造段階での不良パッケージの早期発見を目的とし、バウンダリスキャンを用いたインサーキットテストを採用した。

バウンダリスキャンテストは、デジタル・ボード単体や複数のデジタル・ボードを含む機器をテストする手法で、バウンダリスキャン対応のデバイスに設けられたTAP（Test Access Port）^{注11)}インタフェースを介し、バウンダリスキャンテスト^{注12)}と接続することでテストプローブを押し当てることなく、端子の開放故障と短絡故障を検出できるといった特長がある。

今回は、新規開発LSIである、SDH終端LSIおよび各種サービス終端LSIを対象に、バウンダリスキャンテストを行う構成とした。

また、固定入力端子（"H"または"L"）は、"H"固定入力の場合は開放故障、"L"固定入力の場合は短絡故障の検出ができないという制限がある。

そこで、SDH終端LSIの出力端子に"H"出力端子、"L"出力端子を設け、固定入力端子に接続することで固定入力端子についても開放故障と短絡故障の検出を可能とした。

注11) ターゲットとなるデバイスに対する命令やテストデータ、テスト結果のデータなどをバウンダリスキャンテストとターゲットとなるデバイス間で入出力するシリアルインタフェース。

注12) バウンダリスキャンテストを実行するためのホストコンピュータ（パソコンである場合が多い）で、テストデータの作成、テスト結果の解析などを行う。

4. む す び

本開発では、コア部分の電源を低電圧化（2.5V）とした高集積LSIの採用、APLLのLSIへの取り込み、BGAパッケージの採用によって、実装面積で従来の約2分の1、消費電力で従来の約2分の1という小型化・低消費電力型150MIF盤の開発を実現できた。

また、バウンダリスキャン技術を採用することで、製造段階での不良の早期発見による、生産効率と品質の向上を可能とした。

参考文献

- 1) 坂巻佳壽美:JTAGテストの基礎と応用, 初版, CQ出版 (1998).
- 2) (社)電気通信協会:デジタル伝送用語集,改定4版,オーム社 (1997).



[開発者] 左から, 百武, 岩野, 佐藤, 笹井