



# PLL 回路解析の一手法

PLL Circuit Analysis Technique

金山 啓介<sup>\*1</sup>  
Keisuke Kanayama

松崎 新平<sup>\*1</sup>  
Shinpei Matsuzaki

## あらまし

アナログ PLL (Phase-Locked-Loop) 回路の簡易な解析手法として、以下の方法を紹介する。

- 1) 数学ソフトを利用した数式処理，数値計算
  - 2) 汎用回路シミュレータによる PLL 等価回路を用いた回路シミュレーション
- これらの手法によると，特に PLL 回路のステップ応答特性で代表される時間域の諸特性の算出，およびグラフ化が容易である。

PLL 回路を縦続接続したときの，より複雑な動作の解析も，比較的簡単に扱うことができる。

## Abstract

We will introduce the following as simple analytical techniques for analog phase-locked-loop (PLL) circuits:

- 1) Numerical processing and value calculations using mathematical software
- 2) Circuit simulations using PLL equivalent circuits based on regular circuit simulator

These techniques make it easy to calculate and graph the various time zone characteristics, as typified by PLL circuit steps response characteristics.

When the PLL circuit is in a cascaded connection, it is easier to analyze more complex operations.

\* 1 (株)富士通電装アール・アンド・ディー Cプロジェクト

## 1. ま え が き

アナログPLL回路は、内部の電圧制御型発振器（VCO）の出力信号の位相を、基準となる入力信号の位相に同期させるループ回路である。

このPLL回路の時間領域の動作解析を行う場合、数式計算では逆ラプラス変換を利用した複雑な計算となる。また、位相比較器や分周器、VCOの動作速度に比較して、フィルタ部では直流に近い低速動作となる。このような回路をそのまま回路シミュレーションする場合、通常は莫大な時間がかかるか、もしくはメモリなどの制約からできないことがある。

当社は数式計算による動作解析には数学ソフトの利用を図り、一方、回路シミュレーションではすべてを低速動作に置換えるPLL等価回路を考察し、汎用回路シミュレータによる動作解析を活用している。

本稿では、上記の動作解析手法を紹介する。

## 2. PLL回路について

図1に、PLL回路の基本構成を示す。PLL回路を構成する主要部分は、位相比較器、ローパスフィルタ、VCOおよび分周器である。

PLL回路の制御動作としては、入力信号の位相と、VCO出力信号の位相（一般的にはVCOの出力を分周する）を位相比較器により比較する。位相比較器の出力信号としては、位相差に応じた信号が得られる。この信号をローパスフィルタを通して、VCOの制御電圧として入力する。これにより、VCOの出力周波数、つまり出力位相が変化する。

以上の経過を経て、入力信号の位相にVCOの出力信号の位相が同期する。

位相比較器および分周器の伝達特性は、入出力を位相としてみた場合、図1に示すように、単なる利得として $K_d$ および $1/N$ で表すことができる。

VCOは、入力（制御）電圧に応じて出力周波数が変化する。周波数は位相の時間変化である。VCOの出力を位相としてみた場合、周波数を積分することになり、伝達特性は図1に示すように位相

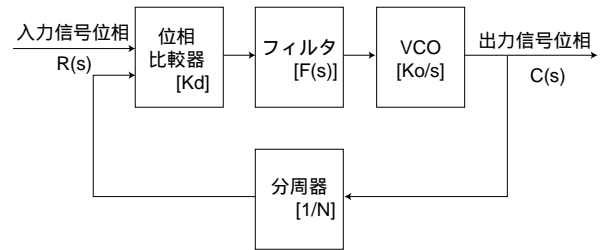


図1 PLL回路の基本構成

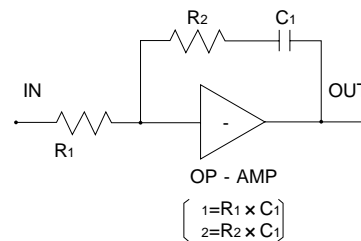


図2 アクティブフィルタ

空間上においてはラプラス変換子 $s$ を用いて、 $K_o/s$ で表すことができる

ローパスフィルタの伝達特性は、図1に示すように関数 $F(s)$ で表す。これはフィルタ形式によって異なる。

PLL回路の伝達特性（入力位相に対する出力位相の比）としては、式1に示すように関数 $H(s)$ で表すことができる。

$$H(s) = \frac{C(s)}{R(s)} = \frac{K \cdot F(s)}{s + K \cdot F(s)} \quad \dots \text{式1}$$

ただし、

$$K = \frac{K_o \cdot K_d}{N}$$

## 3. 数式計算による動作解析

### 3.1 計算方法

PLL回路の動作解析において、時間領域での解析を行う場合、入力信号の位相（時間領域）をラプラス変換し、式1との積を逆ラプラス変換して時間 $t$ の関数にする必要がある。ここでの計算は複雑であり、当社は数式処理および数値計算に数学ソフトの利用を図っている。

図2に、ローパスフィルタとして良く用いられる

注1) Phase-Locked-Loop (位相同期帰還) の略

注2) Mathcad (MathSoft社製) 使用

注3) PSpice (MicroSim社製) 使用

アクティブフィルタを示す。ここで示される  $\tau_1, \tau_2$  は、フィルタの特性を決めていくうえでの目安となるパラメータである。

アクティブフィルタの伝達関数  $F(s)$  を式2に示し、この場合のPLL回路の伝達関数  $H(s)$  を式3に示す。

$$F(s) = \frac{1 + \tau_2 \cdot s}{\tau_1 \cdot s} \quad \dots \text{式2}$$

$$H(s) = \frac{K \left( \frac{1 + \tau_2 \cdot s}{\tau_1 \cdot s} \right)}{s + K \cdot \left( \frac{1 + \tau_2 \cdot s}{\tau_1 \cdot s} \right)} = \frac{2 \cdot \xi \cdot \omega_n \cdot s + (\omega_n)^2}{s^2 + 2 \cdot \xi \cdot \omega_n \cdot s + (\omega_n)^2} \quad \dots \text{式3}$$

ただし、

$$\omega_n = \sqrt{\frac{K}{\tau_1}} \quad \xi = \frac{\tau_2}{2} \cdot \sqrt{\frac{K}{\tau_1}}$$

### 3.2 計算例

実際の回路定数をもとにしたPLL回路のステップ応答特性について、数値計算結果をグラフ化したものと実測例を図3に示す。このときに用いたPLL回路（PLL # 1）の定数を表1に示す。

ここで求めているステップ応答特性とは、入力位相（ $\phi_1$ ）が瞬間的に488ns変動した場合における、PLL回路の出力位相（ $\phi_2$ ）の追従特性である。図3のグラフに示しているのは、 $t = 0$  で発生した入出力位相差（ $\phi_2 - \phi_1$ ）488nsが、時間の経過とともに同期（入出力位相差がほぼ0）するまでの応答特性である。

図4に、PLL回路を2段縦続に接続した場合における、ステップ応答特性についての計算結果（グラフ）と実測例を示す。このときに用いた2段目のPLL回路（PLL # 2）の定数を表1に示すが、応答特性としては1段目のPLL回路と同等である。

ここで求めているのは、1段目のPLL回路への入力位相（ $\phi_1$ ）が瞬間的に488ns変動した場合における、2段目のPLL回路の出力位相（ $\phi_3$ ）と1段目のPLL回路の出力位相（ $\phi_2$ ）との差（ $\phi_3 - \phi_2$ ）、つまり2段目のPLL回路の入出力位相差である。

以上の計算例において、縦続接続時（2段の場合）

表1 PLL回路（#1,#2）の定数例

	記号	パラメータ値		単位	備考	
		#1	#2		#1	#2
位相比較器利得	Kd	0.398		V/rad	5V(出力電圧)/4 (位相比較範囲)	
ローパスフィルタの利得	1	0.00215		sec	$R_1 \times C_1 = 1.3k \times 1.65 \mu F$	
	2	0.165		sec	$R_2 \times C_2 = 100k \times 1.65 \mu F$	
VCOの定数	Ko	3500	4670	Hz/V	発振周波数：38.88MHz	発振周波数：51.84MHz
分周比	N	4860	6480	-	基準入力周波数：8kHz	
PLL回路のループ利得	$Ko \times Kd / N$	0.287		-		

可変範囲：90ppm/V

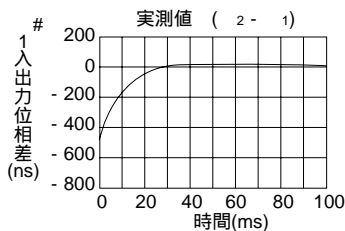
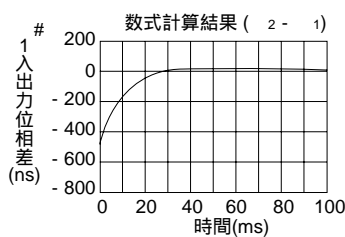
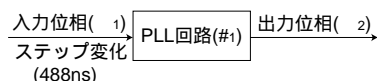


図3 ステップ応答特性（1段）

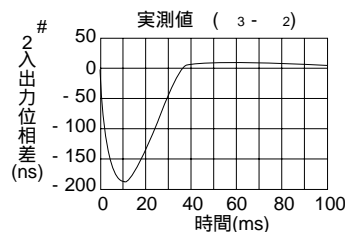
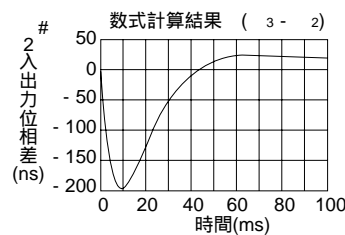
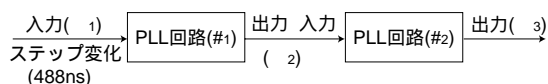


図4 ステップ応答特性（2段）

$$HH(s) = \left[ \frac{2\zeta_1 \omega_{n1} s + (\omega_{n1})^2}{s^2 + 2\zeta_1 \omega_{n1} s + (\omega_{n1})^2} \right] \left[ \frac{2\zeta_2 \omega_{n2} s + (\omega_{n2})^2}{s^2 + 2\zeta_2 \omega_{n2} s + (\omega_{n2})^2} \right]$$

$$\Downarrow$$

$$HH(s) := \left[ a \cdot b \cdot \frac{(1 + l \cdot s)}{(s + a) \cdot (s + b)} \right] \left[ c \cdot d \cdot \frac{(1 + m \cdot s)}{(s + c) \cdot (s + d)} \right]$$

$$\Downarrow \text{逆ラプラス変換}$$

図5 PLL伝達関数の逆ラプラス変換（例：2段の場合）

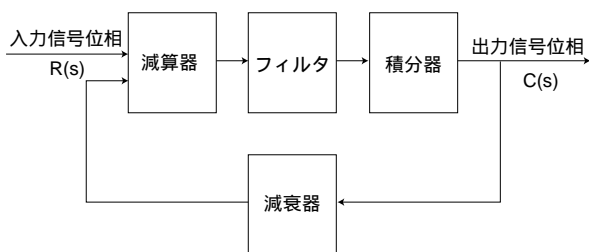


図6 PLL等価回路（原理図）

の全体の伝達関数は、1段目のPLL回路の伝達関数と2段目のPLL回路の伝達関数との積となり、数学ソフトを使用しても式3に示すような形のままで複雑過ぎて、計算できない場合がある。そこで図5に示すように1次式に分解する、といった配慮が必要になる。

#### 4. 等価回路を用いた回路シミュレーション

##### 4.1 PLL等価回路

PLL回路を構成している各部分の動作を低速の電圧動作に置換えて、等価回路を記述することができる。

図6に、PLL等価回路（原理図）を示す。

位相比較器は、二つの入力の位相差に応じた信号を出力するので、等価回路としては二つの入力の電位差を出力する減算器で構成される。

フィルタ部は実際の回路を使用する。

VCO部は積分回路に置換えることができる。利

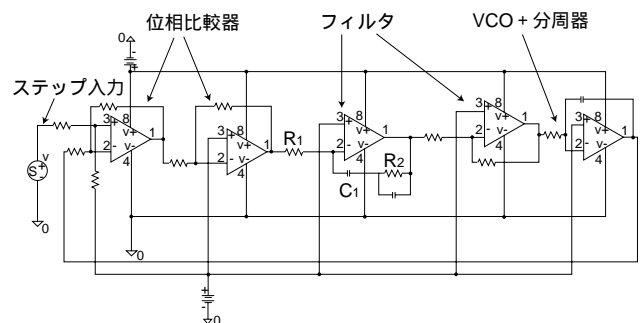


図7 PLL等価回路（実際例）

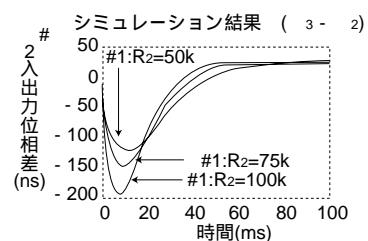
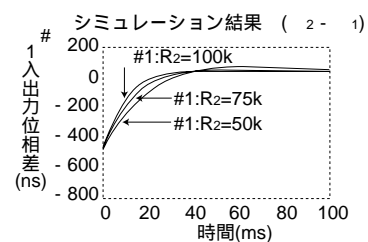
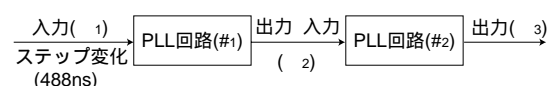


図8 等価回路のステップ応答特性

得は、制御電圧の範囲に対する出力周波数の可変範囲から算出される。

分周器部は、出力周波数から入力周波数（比較周波数）までの分周を行っており、位相は分周比分だけ利得が下がることになるため、等価回路としては減衰器に置換えられる。

#### 4.2 シミュレーション例

図7に、実際にシミュレーションを行う際のPLL等価回路例を示す。

通常、PLL回路を縦続で使用する場合、相対的に前段の応答特性を遅く、後段の応答特性を速くするような設計をする。これにより、前段のPLL回路への入力が一時的に変化した場合の後段のPLL回路の入出力位相差を小さくすることができる。

図8には、1段目のPLL回路（PLL # 1）のフィルタの抵抗値を変化させたときの、PLL # 1の入出力位相差（ $\theta_2 - \theta_1$ ）と、2段目のPLL回路（PLL # 2）の入出力位相差（ $\theta_3 - \theta_2$ ）を示す。これによって、PLL # 1の応答が遅くなり、PLL # 2の入出力位相差が小さくなることが分かる。

3.2項での計算例と同じ定数（ $R2 = 100k$ ）での結果は、位相差（ $\theta_3 - \theta_2$ ）の最大値が約191nsとなり、3.2項で示した数式による計算値（約197ns）および実測値（約193ns）とほぼ同じ値が得られた。

### 5. む す び

PLL回路の動作解析の一手法として数式計算に

よる解析と、等価回路を用いた回路シミュレーションによる解析を、ステップ応答特性を例に紹介した。これらの結果については実測値との比較において、かなりの整合性が取れており、有効性が確認できた。

数式計算による解析手法は、PLL回路の具体的な設計を行う前の段階での活用が有効であり、等価回路シミュレーションによる解析手法は、回路設計後の評価に有効である。

#### 参考文献

- 1) 小沢利行：PLL周波数シンセサイザ・回路設計法，総合電子出版社（1998年第3版），pp13-69．



[開発者] 左から，金山，松崎