

# PROVERD<sup>®</sup>

論理回路設計統合システム

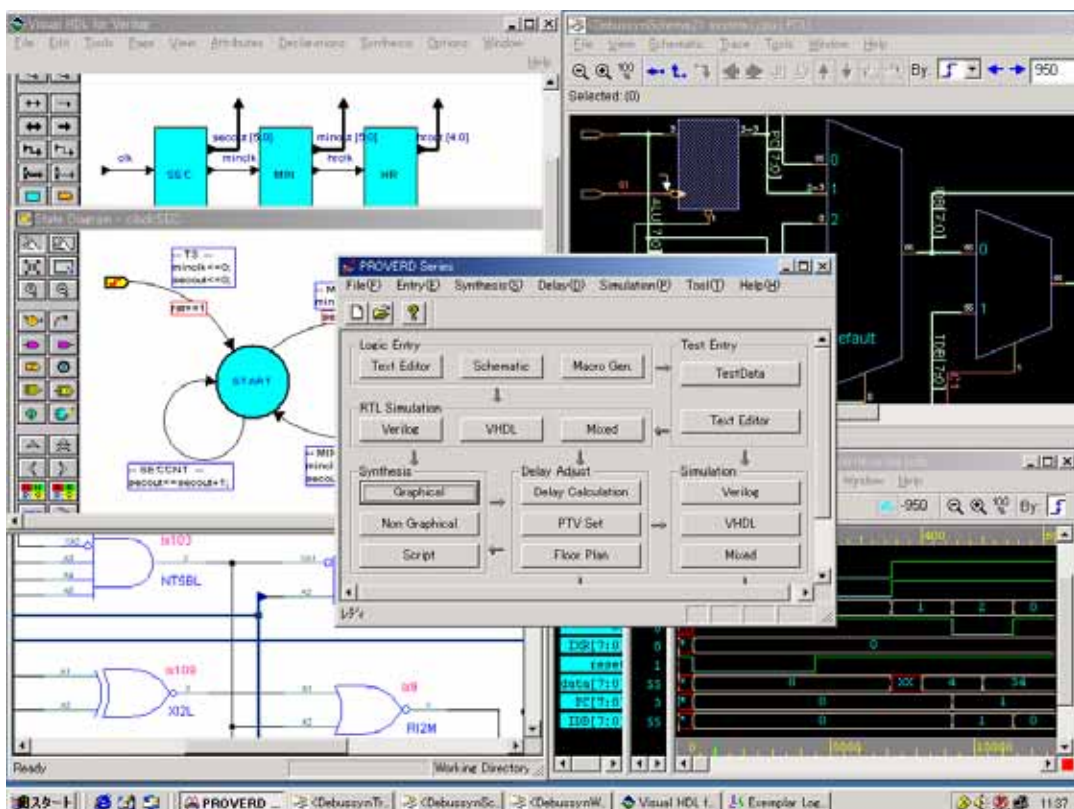
## *Integrated System for ASIC/FPGA Design*

PROVERD<sup>®</sup>シリーズは、Windowsパソコン上で動作するASIC/FPGA設計のための論理回路設計統合システムです。HDLエントリからRTLシミュレーション、論理合成、ゲートレベルシミュレーション、解析まで、全てWindows上で動作します。

PROVERD/ESD	: HDLエントリツール
PROVERD/VLG	: 富士通ASIC設計環境 & Verilogシミュレーター
PROVERD/VHD	: 富士通ASIC設計環境 & VHDLシミュレーター
PROVERD/BIL	: 富士通ASIC設計環境 & Verilog/VHDL混在シミュレーター
PROVERD/SYN	: 富士通ASIC設計環境 & 論理合成ツール
PROVERD/DEB	: HDLデバッグ & 解析ツール
PROVERD/SFV	: スタティック機能検証ツール

ASIC/FPGA開発環境を低価格で実現！

統合化されたフローメニュー



## PROVERD/ESD

### HDLエントリツール

HDL(Verilog&VHDL)のトップダウン設計環境を提供するハイレベルデザインエントリ

- ・ブロックダイアグラム、フローチャート、ステートマシン等の豊富なグラフィカル機能
- ・グラフィカルなシミュレーション環境
- ・HDLテキストからグラフィックを生成
- ・設計資産の再利用が可能
- ・各種論理合成ツールに最適なHDLを出力
- ・ドキュメンテーション機能

## PROVERD/VLG

### 富士通ASIC設計環境 & Verilogシミュレーター

#### Verilogシミュレーター搭載

- ・SDFサポートにより高精度なゲートレベルシミュレーションが可能
- ・消費メモリの低減かつ高速処理を実現
- ・BackTrace機能を有したグラフィカルシミュレーションアナライザ、ソースコードデバッガ、エラー解析エディタを提供

#### 富士通ASIC設計環境を標準搭載

- ・デザインエントリ、ディレイ計算、ルールチェック、テストエディタ、コンパイルドセルジェネレータ等標準データフォーマットの出力
- ・VerilogHDL、VHDL、EDIF他

## PROVERD/VHD

### 富士通ASIC設計環境 & VHDLシミュレーター

#### VHDLシミュレーター搭載

- ・世界標準(IEEE1076-87、IEEE1076-93)、VITAL95に準拠
- ・ダイレクトコンパイル手法により、高速コンパイル、プラットフォームに依存しないオブジェクトコードの生成、高速シミュレーションを実現
- ・シミュレーション解析のための各種デバッグウィンドウが相互リンク

#### 富士通ASIC設計環境を標準搭載

- ・デザインエントリ、ディレイ計算、ルールチェック、テストエディタ、コンパイルドセルジェネレータ等標準データフォーマットの出力
- ・VerilogHDL、VHDL、EDIF他

## PROVERD/BIL

### 富士通ASIC設計環境 & Verilog/VHDL混在シミュレーター

#### Verilog/VHDL混在シミュレーター搭載

- ・シングルカーネルによりハイパフォーマンスを実現

#### 富士通ASIC設計環境を標準搭載

- ・デザインエントリ、ディレイ計算、ルールチェック、テストエディタ、コンパイルドセルジェネレータ等標準データフォーマットの出力
- ・VerilogHDL、VHDL、EDIF他

## PROVERD/SYN

### 富士通ASIC設計環境 & 論理合成ツール

#### ASIC&FPGA論理合成ツール搭載

- ・Verilog&VHDLの大規模回路設計に対応
- ・インタラクティブなユーザインタフェース
- ・論理合成プロセスのナビゲート機能
- ・制約エディタによる詳細な制約の設定
- ・階層ブラウザによる階層コントロール
- ・スキマティックビューにクリティカルパスやファンイン、ファンアウトなどのフラグメント表示
- ・Tclベースのコマンドラインインターフェース

#### 富士通ASIC設計環境を標準搭載

- ・デザインエントリ、ディレイ計算、ルールチェック、テストエディタ、コンパイルドセルジェネレータ等標準データフォーマットの出力
- ・VerilogHDL、VHDL、EDIF他

## PROVERD/DEB

### HDLデバッグ & 解析ツール

#### Verilog/VHDLトータルデバッグシステム

- ・ソースコード、ソースコードをコンパイルして視覚化した回路図、シミュレーション結果の波形表示をリンクした統合解析環境
- ・信号の値がシミュレーションデータを表示するすべてのウィンドウ上で自動的に同期
- ・各ウィンドウ間で信号、モジュール、論理式をドラッグ&ドロップ可能
- ・オリジナル波形データベースによる高速な波形表示、比較
- ・レジスタの不定値検索、部分回路図作成
- ・回路図上でクロックの自動認識、ハイライト表示

## PROVERD/SFV

### スタティック機能検証ツール

#### 独自のプロパティ言語によるRTLでのスタティック機能検証

- ・容易に習得、記述可能なプロパティ言語
- ・プロパティそれぞれが動作仕様のドキュメント
- ・テストベンチの作成にくらべ、プロパティ作成時間は大幅に短縮
- ・複雑な条件を組み合わせたプロパティ作成も容易
- ・動作仕様が厳密に規定された回路で大きな力を発揮
- ・複雑かつ厳密な状態が必要となるコーナーケースの検証にも威力を発揮
- ・インタラクティブな機能検証
- ・1プロパティあたりの検証時間が数秒程度
- ・設計者にわかりやすいデバッグ情報を出力

## WaveFinder™

### シミュレーション波形解析ツール

- ・グラフィカルなシミュレーション結果解析
- ・出力期待値比較結果のハイライト表示
- ・VCDインタフェース

富士通ASIC設計環境につきましては、2005年3月末日をもちまして販売および保守を終息いたしました。製品名または会社名は、それぞれ各社の商標または登録商標です。

このカタログの内容は改良のため予告なしに仕様・デザインを変更することがありますのでご了承下さい。

## 富士通 L S I テクノロジ株式会社

第一ビジネス推進部

〒213-0012 神奈川県川崎市高津区坂戸3-2-1

K S P R & D ビル

TEL.044-812-8048 (直通) FAX.044-812-8066

<http://jp.fujitsu.com/flt/>

[flt-soc-sales@cs.jp.fujitsu.com](mailto:flt-soc-sales@cs.jp.fujitsu.com)